

DERWENT-ACC-NO: 2000-528301

DERWENT-WEEK: 200224

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device includes  
diffusion layer, which is  
electrically connected through pad  
and metal electrodes  
are formed in contact hole  
penetrating insulating and  
oxide films

INVENTOR: MASUDA, T

PATENT-ASSIGNEE: CITIZEN WATCH CO LTD[CITL]

PRIORITY-DATA: 1998JP-0297865 (October 20, 1998)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	
LANGUAGE		MAIN-IPC	
JP 2000196102 A		July 14, 2000	N/A
020	H01L 029/786		
US 6358782 B1		March 19, 2002	N/A
000	H01L 021/00		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2000196102A	N/A	
1999JP-0297287	October 19, 1999	
US 6358782B1	Div ex	
1999US-0420531	October 19, 1999	
US 6358782B1	N/A	
2000US-0635690	August 10, 2000	

INT-CL (IPC): H01L021/00, H01L021/44 , H01L021/84 ,  
H01L027/12 ,  
H01L029/786

ABSTRACTED-PUB-NO: JP2000196102A

BASIC-ABSTRACT:

NOVELTY - The FETs (33,35) are mutually isolated by insulating film (39) formed on oxide film (3) of silicon on insulator (SOI) substrate (1). The highly concentrated diffusion layer (7) formed on support substrate (2), is electrically connected through the pad (22a) of metal electrode (22). The metal electrode is formed in the contact holes penetrating the insulating and oxide films.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for the semiconductor device manufacturing method.

USE - Semiconductor device.

ADVANTAGE - As the pad of metal electrode is connected electrically, grounding and arbitrary biasing of substrate is enabled simply.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view of semiconductor device.

SOI substrate 1

Support substrate 2

Oxide film 3

Diffusion layer 7

Metal electrode 22

Pad 22a

FETs 33,35

Insulating film 39

ABSTRACTED-PUB-NO: US 6358782B

EQUIVALENT-ABSTRACTS:

NOVELTY - The FETs (33,35) are mutually isolated by insulating film (39) formed on oxide film (3) of silicon on insulator (SOI) substrate (1). The highly concentrated diffusion layer (7) formed on support substrate (2), is electrically connected through the pad (22a) of metal electrode (22). The metal electrode is formed in the contact holes penetrating the insulating and oxide films.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for the semiconductor device manufacturing method.

USE - Semiconductor device.

ADVANTAGE - As the pad of metal electrode is connected electrically, grounding and arbitrary biasing of substrate is enabled simply.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view of semiconductor device.

SOI substrate 1

Support substrate 2

Oxide film 3

Diffusion layer 7

Metal electrode 22

Pad 22a

FETs 33,35

Insulating film 39

CHOSEN-DRAWING: Dwg.1/36

DERWENT-CLASS: L03 U12 U13

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196102

(P2000-196102A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テコード* (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 2 6 C
27/12		27/12	C

審査請求 未請求 請求項の数12 O L (全 20 頁)

(21) 出願番号 特願平11-297287

(22) 出願日 平成11年10月19日 (1999.10.19)

(31) 優先権主張番号 特願平10-297865

(32) 優先日 平成10年10月20日 (1998.10.20)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 増田 崇臣

埼玉県所沢市大字下富字武野840番地 シ

チズン時計株式会社技術研究所内

(74) 代理人 100080931

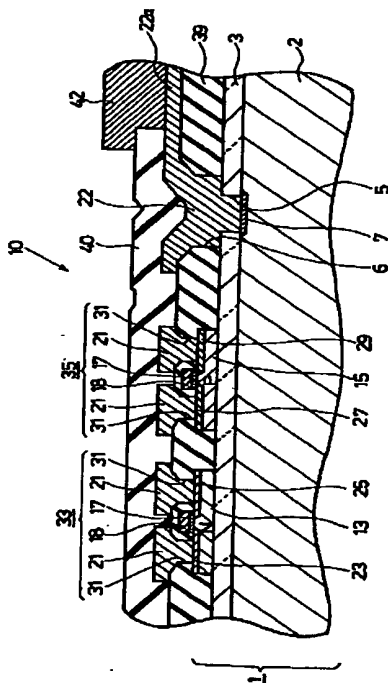
弁理士 大澤 敬

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 SOI基板を用いた半導体装置の支持基板を、実装方法によることなく簡単に接地又はバイアスできるようにする。

【解決手段】 SOI基板1の埋込酸化膜3上に、絶縁膜39により絶縁分離された複数の半導体素子33、35を形成し、その絶縁膜39と埋込酸化膜3とを貫通する基板コンタクトホール5、6を設け、そこに露出する支持基板2の表面付近に高濃度拡散層7を設け、基板コンタクトホール5、6を通してその高濃度拡散層9と電気的に接続され、絶縁膜39上にパッド部22aを延設した金属電極22を設ける。



## 【特許請求の範囲】

【請求項1】 シリコンの支持基板上に埋込酸化膜が設けられたSOI基板の該埋込酸化膜上に、絶縁膜により互いに絶縁分離された複数の半導体素子が設けられている半導体装置において、

前記各半導体素子と前記絶縁膜により絶縁分離された領域に設けられ、前記絶縁膜および埋込酸化膜を貫通する基板コンタクトホールと、

該基板コンタクトホールによる開口部内の前記支持基板の表面に設けられた該支持基板と同じ導電型の高濃度拡散層と、

前記基板コンタクトホール内に充填されて前記高濃度拡散層と電気的に接続し、前記絶縁膜上にパッド部を延設した金属電極とを有することを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記各半導体素子を被覆する保護膜と、その保護膜に設けられた開口部を通して該保護膜上から前記パッド部に接続する接続電極とを設けたことを特徴とする半導体装置。

【請求項3】 請求項2に記載の半導体装置において、前記支持基板が方形又は矩形状をなし、前記接続電極が前記支持基板の周縁部に沿って配設されていることを特徴とする半導体装置。

【請求項4】 請求項1乃至3のいずれか一項に記載の半導体装置において、前記基板コンタクトホールを形成する前記絶縁膜の開口部が前記埋込酸化膜の開口部よりも大きいことを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれか一項に記載の半導体装置において、

前記複数の半導体素子が、前記SOI基板の表面シリコン層によって形成された複数の素子領域上に、それぞれゲート酸化膜を介してゲート電極とその両側にドレイン層及びソース層が形成され、そのゲート電極、ドレイン層、及びソース層にそれぞれ前記保護膜上に延びる金属電極を設けたシングルドレイン型の電界効果トランジスタであることを特徴とする半導体装置。

【請求項6】 請求項1乃至4のいずれか一項に記載の半導体装置において、

前記複数の半導体素子が、前記SOI基板の表面シリコン層によって形成された複数の素子領域上に、それぞれゲート酸化膜を介してゲート電極とその両側にドレイン層及びソース層が形成され、前記ゲート電極がサイドウォールを有し、該サイドウォールの下に低濃度ドレイン層が形成され、前記ゲート電極、ドレイン層、及びソース層にそれぞれ前記保護膜上に延びる金属電極を設けた電界効果トランジスタであることを特徴とする半導体装置。

【請求項7】 請求項1乃至4のいずれか一項に記載の半導体装置において、

前記複数の半導体素子が、前記SOI基板の表面シリコ

ン層によって形成された複数の素子領域上に、それぞれゲート酸化膜を介してゲート電極とその両側にドレイン層及びソース層が形成され、前記ゲート電極と前記ドレイン層との間にオフセット領域が設けられ、前記ゲート電極、ドレイン層、及びソース層にそれぞれ前記保護膜上に延びる金属電極を設けた電界効果トランジスタであることを特徴とする半導体装置。

【請求項8】 シリコンの支持基板上に埋込酸化膜を介して表面シリコン層が形成されたSOI基板を用意し、その表面シリコン層を選択的にエッチングして、該表面シリコン層によるそれぞれ独立した複数の素子領域を形成する工程と、

導電型がP型又はN型の不純物原子を前記複数の素子領域に選択的にイオン注入して複数の低濃度P型又はN型領域を形成する工程と、

熱処理を行うことによって、前記各低濃度P型又はN型領域の不純物原子を拡散させる工程と、

前記各低濃度P型又はN型領域上にゲート酸化膜を介してゲート電極を形成する工程と、

前記各低濃度P型又はN型領域の前記ゲート電極の両側に導電型が該領域と反対の不純物原子を選択的にイオン注入してドレイン層およびソース層を形成する工程と、前記埋込酸化膜を選択的にエッチングすることにより、前記支持基板上に基板コンタクトホールを形成する工程と、

前記支持基板の前記基板コンタクトホール内に露出する部分に該支持基板と同じ導電型の不純物原子をイオン注入して高濃度拡散層を形成する工程と、

前記支持基板上の全面に絶縁膜を形成した後、ホトエッチング処理を行うことにより、前記各素子領域の各ゲート電極、ドレイン層、およびソース層に個別に対応する位置にそれぞれ素子用コンタクトホールを形成すると共に、前記基板コンタクトホールと対応する位置にもコンタクトホールを形成する工程と、

前記絶縁膜上の全面および前記全てのコンタクトホール内に金属電極層を形成した後、ホトエッチング処理を行うことによりそれぞれ各コンタクトホール毎に独立した金属電極を形成し、その際、前記基板コンタクトホールに形成される金属電極には前記絶縁膜上に延びるパッド部も形成する金属電極形成工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項9】 シリコンの支持基板上に埋込酸化膜を介して表面シリコン層が形成されたSOI基板を用意し、その表面シリコン層を選択的にエッチングして、該表面シリコン層によるそれぞれ独立した複数の素子領域を形成する工程と、

導電型がP型又はN型の不純物原子を前記複数の素子領域に選択的にイオン注入して複数の低濃度P型又はN型領域を形成する工程と、

熱処理を行うことによって、前記各低濃度P型又はN型

領域の不純物原子を拡散させる工程と、  
 前記各低濃度P型又はN型領域上にゲート酸化膜を介してゲート電極を形成する工程と、  
 前記各低濃度P型又はN型領域の前記ゲート電極の両側に導電型が該領域と反対の不純物原子を選択的にイオン注入して低濃度ドレイン層を形成する工程と、  
 前記各ゲート電極の両側面にシリコン酸化膜によるサイドウォールを形成する工程と、  
 前記各低濃度P型又はN型領域の前記ゲート電極の両側の前記サイドウォール外の領域に、導電型が前記低濃度ドレイン層と同じ不純物原子を選択的にイオン注入してドレイン層およびソース層を形成する工程と、  
 前記埋込酸化膜を選択的にエッチングすることにより、前記支持基板上に基板コンタクトホールを形成する工程と、  
 前記支持基板の前記基板コンタクトホール内に露出する部分に該支持基板と同じ導電型の不純物原子をイオン注入して高濃度拡散層を形成する工程と、  
 前記支持基板上の全面に絶縁膜を形成した後、ホットエッチング処理を行うことにより、前記各素子領域の各ゲート電極、ドレイン層、およびソース層に個別に対応する位置にそれぞれ素子用コンタクトホールを形成すると共に、前記基板コンタクトホールと対応する位置にもコンタクトホールを形成する工程と、  
 前記絶縁膜上の全面および前記全てのコンタクトホール内に金属電極層を形成した後、ホットエッチング処理を行うことによりそれぞれ各コンタクトホール毎に独立した金属電極を形成し、その際、前記基板コンタクトホールに形成される金属電極には前記絶縁膜上に延びるパッド部も形成する金属電極形成工程と、  
 を有することを特徴とする半導体装置の製造方法。  
 【請求項10】 シリコンの支持基板上に埋込酸化膜を介して表面シリコン層が形成されたSOI基板を用意し、  
 その表面シリコン層を選択的にエッチングして、該表面シリコン層によるそれぞれ独立した複数の素子領域を形成する工程と、  
 導電型がP型又はN型の不純物原子を前記複数の素子領域に選択的にイオン注入して複数の低濃度P型又はN型領域を形成する工程と、  
 熱処理を行うことによって、前記各低濃度P型又はN型領域の不純物原子を拡散させる工程と、  
 前記各低濃度P型又はN型領域上にゲート酸化膜を介してゲート電極を形成する工程と、  
 前記各低濃度P型又はN型領域の前記ゲート電極の片側に導電型が該領域と反対の不純物原子を選択的にイオン注入してオフセット領域を形成する工程と、  
 熱処理を行なうことにより、前記オフセット領域の不純物原子を拡散させる工程と、  
 前記各低濃度P型又はN型領域の前記ゲート電極の両側

で前記オフセット領域を除く領域に、導電型が該オフセット領域と同じ不純物原子を選択的にイオン注入してドレイン層およびソース層を形成する工程と、  
 前記埋込酸化膜を選択的にエッチングすることにより、前記支持基板上に基板コンタクトホールを形成する工程と、  
 前記支持基板の前記基板コンタクトホール内に露出する部分に該支持基板と同じ導電型の不純物原子をイオン注入して高濃度拡散層を形成する工程と、  
 前記支持基板上の全面に絶縁膜を形成した後、ホットエッチング処理を行うことにより、前記各素子領域の各ゲート電極、ドレイン層、およびソース層に個別に対応する位置にそれぞれ素子用コンタクトホールを形成すると共に、前記基板コンタクトホールと対応する位置にもコンタクトホールを形成する工程と、  
 前記絶縁膜上の全面および前記全てのコンタクトホール内に金属電極層を形成した後、ホットエッチング処理を行うことによりそれぞれ各コンタクトホール毎に独立した金属電極を形成し、その際、前記基板コンタクトホールに形成される金属電極には前記絶縁膜上に延びるパッド部も形成する金属電極形成工程と、  
 を有することを特徴とする半導体装置の製造方法。  
 【請求項11】 請求項8乃至10のいずれか一項に記載の半導体装置の製造方法において、  
 前記金属電極形成工程の後に、前記絶縁膜上と前記各金属電極上の全面に保護膜を形成し、該保護膜の前記パッド部に対応する位置に開口部を形成する工程と、  
 前記保護膜上から前記開口部を通して前記パッド部に接続する接続電極を形成する工程とを有することを特徴とする半導体装置の製造方法。  
 【請求項12】 請求項8乃至10のいずれか一項に記載の半導体装置の製造方法において、  
 前記絶縁膜にコンタクトホールを形成する工程で、前記基板コンタクトホールと対応する位置には、該基板コンタクトホールよりも大きいコンタクトホールを形成することを特徴とする半導体装置の製造方法。  
 【発明の詳細な説明】  
 【0001】  
 【発明の属する技術分野】この発明は、シリコンの支持基板上に埋込酸化膜と表面シリコン層とが設けられたSOI (Silicon On Insulator)を用いて、その埋込酸化膜上に複数の半導体素子を形成した半導体装置と、その半導体装置の製造方法に関する。  
 【0002】  
 【従来の技術】SOI基板は、シリコンの支持基板上に埋込酸化膜と表面シリコン層とが形成された基板である。このSOI基板を用いて製造される半導体装置は、バルクシリコンを用いて製造される半導体装置に比べて多くの利点を持っている。例えば、温度および放射線に対する耐性が高く、動作の高速性を実現し易く、しかも消費

電力が少ない点などである。ここで、従来のSOI基板を用いた半導体装置の構造について、図36によって説明する。

【0003】図36は、従来のSOI基板を用いた半導体装置であるICチップの要部を拡大して示す断面図である。SOI基板1は、シリコンからなる支持基板2上に埋込酸化膜3が設けられ、その上に表面シリコン層が設けられている。しかし、図36ではその表面シリコン層がエッチングされて複数の島状の素子領域に形成され、さらにその各素子領域に不純物が注入及び拡散され、低濃度N型領域13と低濃度P型領域15になっている。

【0004】その低濃度N型領域13上にはPチャネル電界効果トランジスタ（以下「PチャネルFET」という）33が、低濃度P型領域15上にはNチャネル電界効果トランジスタ（以下「NチャネルFET」という）35が、絶縁膜39によって互いに絶縁分離されて設けられている。

【0005】PチャネルFET33は、低濃度N型領域13上の中央部にゲート酸化膜17を介してゲート電極18が、その両側にP型ドレイン層23とP型ソース層25がそれぞれ形成され、そのゲート電極18、P型ドレイン層23、及びP型ソース層25に、それぞれコンタクトホール31を通して保護膜39上に延びる金属電極（配線電極）21が設けられている。

【0006】NチャネルFET35は、低濃度P型領域15上の中央部にゲート酸化膜17を介してゲート電極18が、その両側にN型ドレイン層27とN型ソース層29がそれぞれ形成され、そのゲート電極18、N型ドレイン層27、及びN型ソース層29にも、それぞれコンタクトホール31を通して保護膜39上に延びる金属電極（配線電極）21が設けられている。

【0007】なお、PチャネルFET33もNチャネルFET35も、ゲート電極18に接続する金属電極（配線電極）は、図36とは異なる断面位置に設けられているため、図36には示されていない。また、図示は省略しているが、多数の金属電極21のうち外部と接続するものには、入出力端子を設けるパッド部が形成されている。

【0008】PチャネルFET33とNチャネルFET35とは、低濃度領域とドレイン層及びソース層の導電型が逆になっているが、基本的な構成は共通している。そして、この一対のPチャネルFET33とNチャネルFET35によって、CMOSTランジスタを構成している。このICチップ上のパッド部以外の全面に、保護膜としてパッシベーション膜41が設けられている。

【0009】図36では、一組のCMOSTランジスタだけを示しているが、実際のICチップには、多数のCMOSTランジスタや他のFET、バイポーラトランジ

スタや抵抗あるいはコンデンサなどが設けられている。もちろん、これらはいずれもSOI技術によって作成される。

【0010】

【発明が解決しようとする課題】上述したようなSOI基板を用いた半導体装置であるICチップを動作させる際には、支持基板を接地またはバイアスしなければならない点に注意する必要がある。例えば、図36に示したICチップの場合は、シリコンの支持基板2を接地またはバイアスする必要がある。それによって、ICチップの動作を安定化させることができる。このことは、ICチップをパッケージのリードフレームや回路基板等に実装する場合の問題として重要である。

【0011】ICチップを実装する方法には、大きく分けて、フェイスアップ実装法とフェイスダウン実装法の2種類がある。フェイスアップ実装法とは、ICチップの素子面（フェイス）を上向きにして、パッケージのリードフレームや回路基板等の実装基板上に接着し、ICチップの素子面に設けられている端子（前述のパッド部と導通する）と実装基板側の接続端子とをワイヤボンディングで接続する方法をいう。

【0012】フェイスダウン実装法とは、半導体ICチップの素子面に、前述したパッド部と導通する突起部である bumpsなどを形成して、その面を下側に向けて実装基板上のリード電極（導電パターン）に直接触接させて、電気的に接続するとともに接着する実装方法をいう。

【0013】フェイスアップ実装方法によれば、ICチップの裏面（素子面と反対側の面）、すなわち支持基板の裏面を実装基板上の接地部分と電気的に接触させることができる。したがって、図36に示したICチップの場合、SOI基板1の支持基板2の裏面側に、実装基板側の接地部と良好な電気的コンタクトを得るためのプロセスを追加することによって、支持基板2を実装基板側の接地部と電気的に良好に接続して接地することができる。

【0014】しかし、この実装法によると、ICチップの支持基板の電位が実装基板側の接地電位に制限されてしまうという問題がある。そのため、SOI基板を用いたICチップでは、複数の電圧を使い分けるマルチ電源回路を構成することが可能であるにもかかわらず、支持基板のバイアス電圧を任意に設定することができないため、その利点を生かせなくなってしまうという問題がある。

【0015】また、フェイスダウン実装法では、支持基板の裏側表面とリードフレーム等の実装基板のリード電極形成面とが接触しないため、支持基板をバイアスまたは接地すること自体が困難であり、シリコン基板との電気的接続を得ることが難しい。そのため、シリコン基板の電位がフローティング状態になってしまうという問題

がある。

【0016】この発明は、SOI基板を用いた半導体装置（ICチップ）を使用する際の上記の問題を解決するためになされたものであり、どのような実装方法による場合でも、SOI基板を用いた半導体装置の支持基板を容易に接地又はバイアス可能にすることを目的とする。

【0017】

【課題を解決するための手段】この発明は上記目的を達成するため、上述のように、シリコンの支持基板上に埋込酸化膜が設けられたSOI基板の該埋込酸化膜上に、絶縁膜により互いに絶縁分離された複数の半導体素子が設けられている半導体装置を、次のように構成する。また、その半導体装置を容易に製造するための方法も提供する。

【0018】すなわち、この発明による半導体装置は、上記各半導体素子と絶縁膜により絶縁分離された領域に、上記絶縁膜および埋込酸化膜を貫通する基板コンタクトホールを設け、その基板コンタクトホールによる開口部内の上記支持基板の表面に該支持基板と同じ導電型の高濃度拡散層を形成する。そして、上記基板コンタクトホール内に充填されてこの高濃度拡散層と電気的に接続し、上記絶縁膜上にパッド部を延設した金属電極を設けている。

【0019】この発明による半導体装置は、このように上記高濃度領域を通して支持基板と電気的に接続された金属電極のパッド部が素子面（フェイス）に設けられているので、リードフレーム等の実装基板に実装する際に、そのパッド部を実装基板側の接続端子あるいはリード電極に接続することにより、支持基板を容易に接地またはバイアスすることが可能である。

【0020】上記半導体装置において、さらに、上記各半導体素子を被覆する保護膜と、その保護膜に設けられた開口部を通して該保護膜上から上記パッド部に接続する接続電極とを設けるとよい。上記支持基板が方形又は矩形状をなす場合、上記接続電極をその支持基板の周縁部に沿って配設するとよい。また、上記基板コンタクトホールを形成する絶縁膜の開口部を埋込酸化膜の開口部よりも大きくすることにより、基板コンタクトホールに段差を設け、アルミニウム等による金属電極の付着性を高めることができる。

【0021】これらの半導体装置において、上記複数の半導体素子を、SOI基板の表面シリコン層によって形成された複数の素子領域上に、それぞれゲート酸化膜を介してゲート電極とその両側にドレイン層及びソース層が形成され、そのゲート電極、ドレイン層、及びソース層にそれぞれ上記保護膜上に延びる金属電極を設けたシングルドレイン型の電界効果トランジスタとすることができ。

【0022】あるいは、上記複数の半導体素子が、ゲート電極の両側にサイドウォールを有し、そのサイドウォール

ールの下に低濃度ドレイン層が形成された電界効果トランジスタであってもよい。さらにまた、上記複数の半導体素子が、ゲート電極とドレイン層との間にオフセット領域が設けられた電界効果トランジスタであってもよい。

【0023】この発明による半導体装置の製造方法は、この発明による上記半導体装置を製造するための方法であって、次の各工程を有する。

(1) シリコンの支持基板上に埋込酸化膜を介して表面シリコン層が形成されたSOI基板を用意する。

(2) そのSOI基板の表面シリコン層を選択的にエッチングして、該表面シリコン層によるそれぞれ独立した複数の素子領域を形成する。

【0024】(3) 導電型がP型又はN型の不純物原子を複数の素子領域に選択的にイオン注入して複数の低濃度P型又はN型領域を形成する。

(4) 熱処理を行うことによって、各低濃度P型又はN型領域の不純物原子を拡散させる。

(5) 各低濃度P型又はN型領域上にゲート酸化膜を介してゲート電極を形成する。

【0025】(6) 各低濃度P型又はN型領域のゲート電極の両側に導電型が該領域と反対の不純物原子を選択的にイオン注入してドレイン層およびソース層を形成する。

(7) 上記埋込酸化膜を選択的にエッチングすることにより、上記支持基板上に基板コンタクトホールを形成する。

(8) 支持基板の基板コンタクトホール内に露出する部分に該支持基板と同じ導電型の不純物原子をイオン注入して高濃度拡散層を形成する。

【0026】(9) 支持基板上の全面に絶縁膜を形成した後、ホットエッチング処理を行うことにより、各素子領域の各ゲート電極、ドレイン層、およびソース層に個別に対応する位置にそれぞれ素子用コンタクトホールを形成すると共に、上記基板コンタクトホールと対応する位置にもコンタクトホールを形成する。

【0027】(10) 上記絶縁膜上の全面および全てのコンタクトホール内に金属電極層を形成した後、ホットエッチング処理を行うことによりそれぞれ各コンタクトホール毎に独立した金属電極を形成し、その際、上記基板コンタクトホールに形成される金属電極には上記絶縁膜上に延びるパッド部も形成する（金属電極形成工程）。

【0028】また、上記(6)の工程を次の各工程に代えてもよい。上記各低濃度P型又はN型領域のゲート電極の両側に導電型が該領域と反対の不純物原子を選択的にイオン注入して低濃度ドレイン層を形成する。各ゲート電極の両側面にシリコン酸化膜によるサイドウォールを形成する。上記各低濃度P型又はN型領域のゲート電極の両側のサイドウォール外の領域に、導電型が上記低濃度ドレイン層と同じ不純物原子を選択的にイオン注入し



てドレイン層およびソース層を形成する。

【0029】あるいはまた、上記(6)の工程を次の各工程に代えてもよい。上記各低濃度P型又はN型領域のゲート電極の片側に導電型が該領域と反対の不純物原子を選択的にイオン注入してオフセット領域を形成する。熱処理を行なうことにより、そのオフセット領域の不純物原子を拡散させる。上記各低濃度P型又はN型領域のゲート電極の両側でオフセット領域を除く領域に、導電型が該オフセット領域と同じ不純物原子を選択的にイオン注入してドレイン層およびソース層を形成する。

【0030】これらの半導体装置の製造方法において、上記金属電極形成工程の後さらに、上記絶縁膜上と各金属電極上の全面に保護膜を形成し、その保護膜のパッド部に対応する位置に開口部を形成し、保護膜上からその開口部を通してパッド部に接続する接続電極を形成するとよい。また、上記(9)の工程で絶縁膜にコンタクトホールを形成する際に、基板コンタクトホールに対応する位置には、該基板コンタクトホールよりも大きいコンタクトホールを形成するとよい。

【0031】

【発明の実施の形態】以下、この発明を実施するための最適な実施の形態について、図面を用いて説明する。

【0032】〔半導体装置の第1の実施形態：図1〕まず、この発明による半導体装置の第1の実施形態について図1によって説明する。図1はその半導体装置の要部を拡大して示す模式的な断面図である。この図1において、図36に示した従来例と対応する部分については、同じ符号を付している。

【0033】この図1に示す半導体装置10は、図36によって説明した従来の半導体装置と同様に、シリコンの支持基板2上に埋込酸化膜3が設けられ、その上に表面シリコン層が設けられたSOI基板1を使用しており、その埋込酸化膜3上に、絶縁膜39により互いに絶縁分離された複数の半導体素子であるPチャネルFET33とNチャネルFET35が設けられたICチップである。

【0034】SOI基板1の支持基板2上に設けられた埋込酸化膜3は、膜厚が0.1から1 $\mu$ m程度であり、その埋込酸化膜3上に膜厚が0.1から5 $\mu$ m程度の表面シリコン層が設けられている。しかし、図1では、その表面シリコン層がエッチングされて複数の島状の素子領域に形成され、さらにその各素子領域に不純物が注入及び拡散されて、低濃度N型領域13と低濃度P型領域15になっている。

【0035】PチャネルFET33は、低濃度N型領域13上の中央部にゲート酸化膜17を介してゲート電極18が、その両側にP型ドレイン層23とP型ソース層25がそれぞれ形成され、そのゲート電極18、P型ドレイン層23、及びP型ソース層25に、それぞれコンタクトホール31を通して保護膜39上に延びる金属電

極(配線電極)21が設けられている。

【0036】NチャネルFET35は、低濃度P型領域15上の中央部にゲート酸化膜17を介してゲート電極18が、その両側にN型ドレイン層27とN型ソース層29がそれぞれ形成され、そのゲート電極18、N型ドレイン層27、及びN型ソース層29にも、それぞれコンタクトホール31を通して保護膜39上に延びる金属電極(配線電極)21が設けられている。

【0037】なお、PチャネルFET33もNチャネルFET35も、ゲート電極18に接続する金属電極(配線電極)は、図1とは異なる断面位置に設けられているため、図1には示されていない。また、図示は省略しているが、多数の金属電極21のうち外部と接続するものには、入出力端子を設けるパッド部が形成されている。

【0038】低濃度N型領域13とN型ドレイン層27及びN型ソース層29の不純物にはリン原子を用い、低濃度P型領域15とP型ドレイン層23及びP型ソース層25の不純物としてはボロン原子を用いる。ゲート電極18には多結晶シリコンを用いる。PチャネルFET33とNチャネルFET35とは、低濃度領域とドレイン層及びソース層の導電型が逆になっているが、基本的な構成は共通している。そして、この一対のPチャネルFET33とNチャネルFET35によって、CMOSTランジスタを構成している。

【0039】この図1では、一組のCMOSTランジスタだけを示しているが、実際のICチップには、多数のCMOSTランジスタや他のFET、バイポーラランジスタや抵抗あるいはコンデンサなどが設けられている。これらの構成は図36によって説明した従来例と同じである。

【0040】この半導体装置10において、図36に示した従来の半導体装置と相違するのは次の点である。すなわち、PチャネルFET33及びNチャネルFET35と絶縁膜39により絶縁分離された領域で、埋込酸化膜3に基板コンタクトホール5が形成され、絶縁膜39のその基板コンタクトホール5と対応する位置に、それよりも大きいコンタクトホール6を貫通して形成している点である。そして、この絶縁膜39のコンタクトホール6も、基板コンタクトホールを構成している。

【0041】さらに、この基板コンタクトホール5による開口部内の支持基板2の表面に、支持基板と同じ導電型の高濃度拡散層7を形成し、基板コンタクトホール5及びコンタクトホール6内に充填されて高濃度拡散層7と電気的に接続し、絶縁膜39上にパッド部22aを延設したアルミニウムによる金属電極22を設けていることである。高濃度拡散層7は、支持基板7の導電型がP型ならP型不純物であるボロン原子を、N型ならN型不純物であるリン原子を注入及び拡散して形成されている。

【0042】この実施形態ではさらに、各半導体素子で

あるPチャネルFET33及びNチャネルFET35と金属電極21、22を被覆する保護膜としてパッシベーション膜40を設け、そのパッシベーション膜40に設けた開口部40aを通して保護膜40上からパッド部22aに接続する接続電極42を設けている。

【0043】絶縁膜39のコンタクトホール6の大きさを埋込酸化膜3の基板コンタクトホール5よりも大きく形成しているのは、基板コンタクトホール全体の内周形状を段付きにして、アルミニウムをスパッタして金属電極22を形成する際の付着性を高めるためである。

【0044】この半導体装置(ICチップ)10は、その素子面(図1で上側の面)にパッド部22a及び接続電極42が設けられており、それが金属電極22および高濃度拡散層7を通して支持基板2と電気的に接続されている。

【0045】したがって、この半導体装置10は、リードフレーム等の実装基板への実装方法がフェイスアップ実装法あるいはフェイスダウン実装法のいずれであっても、金属電極22のパッド部22aあるいは接続電極42を、実装基板側の端子あるいはリード電極と電気的に接続させることができる。それによって、この半導体装置10の支持基板2を接地または任意のバイアスに設定することができるから、半導体装置10の動作を容易に安定化させることができる。

【0046】従来の半導体装置(ICチップ)をフェイスアップ実装法により実装する場合も、その支持基板の裏面に良好な電気的接点を形成するためのプロセスを追加すれば、支持基板を実装基板側のリード電極等を介して接地することができたが、上述したこの発明による半導体装置10の場合には、そのようなプロセスを追加する必要がない。しかも、支持基板2の電位は金属電極22を通じて接続される外部からの電位に委ねられ、パッケージの接地電位に制限されることはないから、複数の電圧の使い分けができるマルチ電源駆動が可能となり、SOI基板を使用して製造される半導体装置の利点を生かすことができる。

【0047】また、この半導体装置10をフェイスダウン実装法により実装する場合にも、支持基板2を容易に接地又はバイアスすることができるので、支持基板の電位を安定させることができ、フローティング状態になるようなことがなくなる。

【0048】〔半導体装置の製造方法の第1の実施形態:図2から図21〕次に、この発明による半導体装置の製造方法の第1の実施形態として、図1に示した半導体装置を製造するための方法について、図2から図21を用いて説明する。図2から図21は、その半導体装置の製造方法を説明するために各工程における状態を順に示す模式的な断面図で、図1に示した半導体装置に比較して大きさを幾分縮小して示している。

【0049】はじめに、図2に示すように、シリコンか

らなる支持基板2上に埋込酸化膜3が0.1から1 $\mu$ mの膜厚で設けられ、その埋込酸化膜3上に膜厚0.1から5 $\mu$ m程度の表面シリコン層4が設けられたSOI基板1を用意する。そして、このSOI基板1上に、図1に示した半導体素子であるPチャネルFET33とNチャネルFET35を次のようにして形成する。

【0050】まず、このSOI基板1の表面シリコン層4の上面全体に、回転塗布法によってホトレジストを塗布し、所定のホトマスクを用いて露光処理と現像処理を行い、図2に示すように、複数の半導体素子を形成する素子領域にのみそのホトレジスト43が残るようにパターンニングする。

【0051】続いて、表面シリコン層4のホトレジスト43で被覆されていない部分が完全に除去されるまで選択的にエッチングを行う。このエッチングは、反応ガスに四フッ化炭素(CF<sub>4</sub>)と塩素(Cl<sub>2</sub>)とヘリウム(He)とを用いた反応性イオンエッチングにより行われる。その後、硫酸(H<sub>2</sub>SO<sub>4</sub>)を用いてホトレジスト43を除去すると、図3に示すように、埋込酸化膜3上の半導体素子を形成する素子領域にのみ、島状の表面シリコン層4a、4bが残る。

【0052】次いで、この埋込酸化膜3上の全面に再び回転塗布法によってホトレジストを形成し、所定のホトマスクを用いて露光処理と現像処理を行い、図4に示すように、PチャネルFETを形成する素子領域にある表面シリコン層4a上に開口部44aを形成するようにホトレジスト44をパターンニングする。

【0053】続いて、このホトレジスト44をイオン注入阻止膜として用いて、打ち込みエネルギーを50KeV、打ち込みドーズ量を $1 \times 10^{12}$ cm<sup>-2</sup>程度とする条件下で、素子領域の表面シリコン層4aに選択的にN型不純物(図示せず)をイオン注入する。それによって、表面シリコン層4aを低濃度N型領域13にする。なお、この場合のN型不純物としてはリン原子を用いる。その後、硫酸を用いてホトレジスト44を除去する。

【0054】次に、再びこの埋込酸化膜3上の全面に回転塗布法によってホトレジストを形成し、所定のホトマスクを用いて露光処理と現像処理を行い、図5に示すように、NチャネルFETを形成する素子領域にある表面シリコン層4b上に開口部46aを形成するようにホトレジスト46をパターンニングする。

【0055】そして、このホトレジスト46をイオン注入阻止膜として用いて、打ち込みエネルギーを50KeV、打ち込みドーズ量を $1 \times 10^{12}$ cm<sup>-2</sup>程度とする条件下で、素子領域の表面シリコン層4bに選択的にP型不純物(図示せず)をイオン注入する。それによって、表面シリコン層4bを低濃度P型領域にする。なお、この場合のP型不純物としてはボロン原子を用いる。その後、硫酸を用いてホトレジスト46を除去する。

【0056】引き続き、窒素雰囲気中で、温度を100

0℃とし、時間を3時間程度とする条件下で熱処理を行い、上述の工程でイオン注入した低濃度N型領域13のN型不純物と低濃度P型領域15のP型不純物をそれぞれ拡散させる。

【0057】次に、酸素に窒素を混合して酸素の圧力を下げた酸素と窒素の混合雰囲気中において、温度を1000℃程度とし、時間を30分程度とする条件下で酸化処理を行い、図6に示すように、低濃度N型領域13と低濃度P型領域15を含む埋込酸化膜3上の全面にわたり、酸化膜厚20nm程度にゲート酸化膜17を形成する。さらに、反応ガスにモノシラン( $\text{SiH}_4$ )とアンモニア( $\text{NH}_3$ )を用いたCVD法(化学気相成長法)を使用して、多結晶シリコンからなるゲート電極層48を、ゲート酸化膜17上の全面に膜厚350nm程度に被膜形成する。

【0058】引き続き、このゲート電極層48上の全面に回転塗布法によってホトレジストを塗布し、所定のホトマスクを用いて露光処理と現像処理を行ない、図7に示すように、低濃度N型領域13上と低濃度P型領域15上のゲート電極を形成する領域にのみ、ホトレジスト49を残すようにパターニングする。

【0059】さらに続いて、反応ガスに六フッ化イオウ( $\text{SF}_6$ )と酸素( $\text{O}_2$ )を用いた反応性イオンエッチングによって、ゲート電極層48とゲート酸化膜17のホトレジスト49で被覆されていない部分が完全に除去されるまでエッチングを行う。このエッチングにより、図8に示すように、低濃度N型領域13上と低濃度P型領域15上の各中央部にそれぞれゲート酸化膜17を介したゲート電極18を形成する。その後、硫酸を用いてゲート電極18上のホトレジスト49を除去する。

【0060】次に、再び埋込酸化膜3上の全面に、回転塗布法によってホトレジストを塗布し、図9に示すように、低濃度N型領域13に対応する位置に開口部50aを形成するように、そのホトレジスト50をパターニングする。

【0061】続いて、そのホトレジスト50をイオン注入阻止膜として用いて、打ち込みエネルギーを25KeV、打ち込みドーズ量を $3 \times 10^{15} \text{ cm}^{-2}$ 程度とする条件下で、低濃度N型領域13のゲート電極18の両側に、該領域と導電型が反対のP型不純物(図示せず)を選択的にイオン注入する。それによって、図10に示すP型ドレイン層23およびP型ソース層25を形成する。そのP型不純物としてはボロン原子を用いる。その後、硫酸を用いてホトレジスト50を除去する。

【0062】その後、再び埋込酸化膜3上の全面に、回転塗布法によってホトレジストを塗布し、図10に示すように、低濃度P型領域15に対応する位置に開口部51aを形成するように、そのホトレジスト51をパターニングする。

【0063】そして、そのホトレジスト51をイオン注

入阻止膜として用いて、打ち込みエネルギーを50KeV、打ち込みドーズ量を $3 \times 10^{15} \text{ cm}^{-2}$ 程度とする条件下で、低濃度P型領域15のゲート電極18の両側に、該領域と導電型が反対のN型不純物(図示せず)を選択的にイオン注入する。それによって、図11に示すN型ドレイン層27およびN型ソース層29を形成する。そのN型不純物としてはリン原子を用いる。その後、硫酸を用いてホトレジスト51を除去する。

【0064】続いて、この発明による半導体装置の製造方法に特有の工程を説明する。まず、図11に示した埋込酸化膜上の素子領域を含む全面に、回転塗布法によってホトレジストを塗布し、図12に示すように、低濃度N型領域13および低濃度P型領域15から離れた位置に開口部55aを形成するようにホトレジスト55をパターニングする。

【0065】その後、このホトレジスト55をエッチングマスクとして、反応ガスに四フッ化炭素( $\text{CF}_4$ )と三フッ化メタン( $\text{CHF}_3$ )とヘリウム( $\text{He}$ )とを用いた反応ガスエッチングによって、ホトレジスト55の開口部55a内の埋込酸化膜3を選択的にエッチングして完全に除去する。それによって、埋込酸化膜3に図13に示すように支持基板2を露出させる基板コンタクトホール5を形成する。

【0066】そして、ホトレジスト55をイオン注入阻止膜に用いて、支持基板2の基板コンタクトホール5内に露出する部分に、支持基板2と同じ導電型の不純物を選択的にイオン注入する。N型不純物を注入する場合は、打ち込みエネルギーを50KeVとし、打ち込みドーズ量を $3 \times 10^{15} \text{ cm}^{-2}$ 程度とする条件下で、リン原子をイオン注入する。P型不純物を注入する場合は、打ち込みエネルギーを25KeVとし、打ち込みドーズ量を $3 \times 10^{15} \text{ cm}^{-2}$ 程度とする条件下で、ボロン原子をイオン注入する。

【0067】その後、硫酸を用いてホトレジスト55を除去すると、図13に示すように、基板コンタクトホール5内の支持基板2の表面付近に高濃度拡散層7が形成された状態になる。次に、反応ガスとしてモノシラン( $\text{SiH}_4$ )、フォスフィン( $\text{PH}_3$ )およびジボラン( $\text{B}_2\text{H}_6$ )を用いるCVD法によって、支持基板2上の全面に図14に示すように、不純物としてリンとボロンを含む酸化シリコンからなる絶縁膜39を膜厚0.5μm程度に被膜形成する。

【0068】その後、窒素雰囲気中で、温度900℃程度で30分間程度の熱処理を行う。それによって、低濃度N型領域13上のP型ドレイン層23とP型ソース層25、低濃度P型領域15上のN型ドレイン層27とN型ソース層29、および支持基板2の表面付近に形成した高濃度拡散層7に、それぞれイオン注入したP型あるいはN型の不純物を電気的に活性化させる。なお、この窒素雰囲気中の熱処理は絶縁膜39の表面平坦化も兼ね

ている。

【0069】次に、絶縁膜39上の全面に回転塗布法によってホトレジストを塗布し、所定のホトマスクを用いて、露光処理と現像処理を行う。それによって、図15に示すように、各素子領域の各ゲート電極18、ドレイン層23、27、ソース層25、29、および基板コンタクトホール5に個別に対応する位置にそれぞれ開口部56aを形成する(但し、ゲート電極18に対応する位置の開口部は図15とは異なる断面に形成する)ように、ホトレジスト56をパターニングする。

【0070】引き続き、反応ガスに四フッ化炭素( $\text{CF}_4$ )と三フッ化メタン( $\text{CHF}_3$ )とヘリウム( $\text{He}$ )を用いた反応性イオンエッチングによって、ホトレジスト56の各開口部56a内に露出する部分の絶縁膜39を完全に除去するまでエッチングする。その後、硫酸を用いてホトレジスト56を除去する。

【0071】それによって、図16に示すように、絶縁膜39の各素子領域における各ゲート電極18、ドレイン層23、27、ソース層25、29に個別に対応する位置に、それぞれ素子用コンタクトホール31を形成する(但し、ゲート電極18に対応する素子用コンタクトホールは図16とは異なる断面位置に形成する)とともに、基板コンタクトホール5と対応する位置にもコンタクトホール6を形成する。

【0072】続いて、金属電極形成工程を行う。まず図17に示すように、絶縁膜39上の全面及び全てのコンタクトホール31、5、6内に、スパッタリング法によって金属電極層20を、絶縁膜39上での膜厚が $1\mu\text{m}$ 程度になるように形成する。この金属電極層20の材料としてはアルミニウムを用いる。

【0073】その後、この金属電極層20上の全面に、回転塗布法によってホトレジストを形成し、図17に示すように、各金属電極を形成する領域上にだけホトレジスト58を残すようにパターニングする。

【0074】引き続き、そのホトレジスト58をエッチングマスクとして使用して、反応ガスに三塩化ホウ素( $\text{BCl}_3$ )と塩素( $\text{Cl}_2$ )を用いた反応性イオンエッチングによって、ホトレジスト58で被覆されていない部分の金属電極層20を完全に除去するまでエッチングする。その後、硝酸( $\text{HNO}_3$ )を用いてホトレジスト58を除去する。

【0075】それによって、図18に示すように、低濃度N型領域13のゲート電極18、P型ドレイン層23、P型ソース層25に、それぞれ素子用コンタクトホール31を通して個別に接続する金属電極(配線電極)21が形成され(但し、ゲート電極18に接続する金属電極は図18とは異なる断面位置に形成される)、PチャネルFET33が完成する。

【0076】また、低濃度P型領域15のゲート電極18、N型ドレイン層27、N型ソース層29に、それぞ

れ素子用コンタクトホール31を通して個別に接続する金属電極(配線電極)21が形成され(但し、ゲート電極18に接続する金属電極は図18とは異なる断面位置に形成される)、NチャネルFET35が完成する。

【0077】さらに、絶縁膜39のコンタクトホール6と埋込酸化膜3の基板コンタクトホール5を通して支持基板2の高濃度拡散層7に接続される金属電極22も形成され、その金属電極22には絶縁膜39上に延びるパッド部22aも形成される。なお、PチャネルFET33とNチャネルFET35とによってCMOSTランジスタを構成しており、その各金属電極21には、絶縁膜39上で互いに接続されるものと、外部と接続するためにパッド部を設けたものがある。

【0078】次に、これらの各金属電極21、22上を含む絶縁膜39上の全面に、反応ガスとしてモノシラン( $\text{SiH}_4$ )とアンモニア( $\text{NH}_3$ )を用いたCVD法によって、図19に示すように、窒化膜からなるパッシベーション膜40を膜厚 $0.8\mu\text{m}$ 程度に被膜形成する。

【0079】さらに、このパッシベーション膜40上の全面に、回転塗布法によってホトレジストを塗布し、所定のマスクを使用して露光処理と現像処理を行い、図20に示すように、金属電極22のパッド部22a上に対応する位置に開口部59aを形成するように、ホトレジスト59をパターニングする。

【0080】そして、このホトレジスト59をエッチングマスクとして用いて、反応ガスに四フッ化炭素と酸素を用いた反応性イオンエッチングによって、ホトレジスト59の開口部59a内に露出する部分のパッシベーション膜40を完全に除去するまでエッチングする。その後、硝酸を用いてホトレジスト59を除去する。それによって、図21に示すように、パッシベーション膜40に開口部40aが形成され、金属電極22のパッド部22aが露出される。

【0081】このパッド部22aに金メッキ処理を施して、図1に示した接続電極42を形成すれば、半導体装置(ICチップ)10が完成する。なお、このような接続電極は、図示はしていないが、半導体素子の金属電極21のうちの外部と接続するもののパッド部にも形成する。

【0082】この製造方法によれば、SOI基板上に半導体素子としてPチャネルFET33とNチャネルFET35を形成するとともに、支持基板2の表側の面に高濃度拡散層7によって電氣的コンタクトをとった金属電極22を設け、そのパッド部に設けた接続電極を半導体装置の上面に露出するように形成することができる。したがって、この半導体装置10は、どのような実装方法をとっても、その支持基板2を接地又は任意のバイアスに設定することができる。

【0083】なお、この半導体装置10の平面形状は支持基板2の平面形状と同等であるが、それが図22に示

すように方形あるいは矩形状をなす場合、その支持基板2の周縁部に沿う所要箇所の半導体装置10上に、支持基板2と電気的に接続された接続電極42と半導体素子の金属電極21の幾つかに設けた接続電極44とを配置することができる。

【0084】この複数の接続電極42を用いて、所望の位置で支持基板2の接地や任意のバイアスを設定することができる。しかし、この接続電極42の配置は、支持基板2の周縁部に限るものではなく、任意の位置に配置することができる。例えば、半導体装置10上の支持基板2の中央部に相当する位置に配置してもよい。

【0085】〔半導体装置の第2の実施形態：図23〕上述した第1の実施形態では、SOI基板上に半導体素子としてシングルドレイン構造の電界効果トランジスタ(MOSFET)を形成した半導体装置について説明したが、次に、この発明による半導体装置の第2の実施形態として、SOI基板上にLDD(Lightly Doped Drain)構造のMOSFETを形成したものについて説明する。

【0086】図23は、その半導体装置の要部を拡大して示す図1と同様な模式的な断面図であり、図1と対応する部分には同一の符号を付している。この半導体装置70は、半導体素子としてLDD構造のMOSFETを形成した点だけが図1に示した第1の実施形態の半導体装置10と異なり、その他の点は共通している。そこで、以下の説明では、このMOSFETについての説明を中心とし、その他の部分については説明を省略するか簡単にする。

【0087】この図23に示す半導体装置70は、SOI基板1の埋込酸化膜3上に半導体素子として、いずれもLDD構造のPチャネルFET73とNチャネルFET75とが形成されている。

【0088】PチャネルFET73は、素子領域中の低濃度N型領域13上に形成されており、第1の実施形態の半導体装置10におけるPチャネルFET33と次の点が相違する。すなわち、PチャネルFET73は、ゲート電極18の両側面にサイドウォール68、68を有しており、その各サイドウォール68、68の下側の低濃度N型領域13上にP型の低濃度ドレイン層61、61が設けられている点である。したがって、ゲート電極18とP型ドレイン層23との間、およびP型ソース層25との間に、それぞれP型の低濃度ドレイン層61が設けられている。

【0089】NチャネルFET75は、素子領域中の低濃度P型領域15上に形成されており、第1の実施形態の半導体装置10におけるNチャネルFET35と次の点が相違する。すなわち、NチャネルFET75は、ゲート電極18の両側面にサイドウォール68、68を有しており、その各サイドウォール68、68の下側の低濃度P型領域15上にN型の低濃度ドレイン層63、63

が設けられている点である。したがって、ゲート電極18とN型ドレイン層27との間、およびN型ソース層29との間に、それぞれN型の低濃度ドレイン層63が設けられている。

【0090】この第2の実施形態の半導体装置70にも、第1の実施形態の半導体装置10と同様に、高濃度拡散層7によって支持基板2と接続された金属電極22を、埋込酸化膜3に形成された基板コンタクトホール5と絶縁膜39に形成されたコンタクトホール6を通して設け、その金属電極22から絶縁膜上にパッド部22aを延設し、そこに金メッキによる接続電極42を設けている。

【0091】したがって、この半導体装置70によっても、第1の実施形態の半導体装置10と同様な効果が得られる。さらに、PチャネルFET73およびNチャネルFET75は、それぞれゲート電極18とドレイン層23又は27との間、およびソース層25又は29との間に、それぞれ低濃度ドレイン層61又は63を設けているため、チャネル間のリーク電流を低減して耐圧を高めることができる。しかも、低濃度ドレイン層61、63が、ゲート電極18の両側面に設けたサイドウォール68とセルフアライメントして形成されるので、微細な半導体素子にも形成可能であり、集積密度の高いICチップにも適用できる。

【0092】〔半導体装置の製造方法の第2の実施形態：図24から図27等〕次に、この発明による半導体装置の製造方法の第2の実施形態として、上述の図23に示した半導体装置70を製造する方法について、図24から図27等を参照して説明する。

【0093】この半導体装置の製造方法の第2の実施形態は、図2から図21によって説明した第1の実施形態と比較して、半導体素子を形成する工程、すなわちPチャネルFET73とNチャネルFET75を形成する工程が一部異なるだけであるから、主にその相違する工程について説明する。

【0094】第1の実施形態における図2から図8までの各工程は、この第2の実施形態においても同じである。したがって、SOI基板1の埋込酸化膜3上に設けられた表面シリコン層4をエッチングして、素子領域に島状の表面シリコン層4a、4b形成し、それにN型あるいはP型の不純物原子をそれぞれ選択的にイオン注入した後熱処理を行い、低濃度N型領域13と低濃度P型領域15を形成する。そして、その低濃度N型領域13と低濃度P型領域15上の中央部にそれぞれゲート酸化膜17を介してゲート電極18を形成し、図8に示す状態にする。

【0095】その後、図9に示すように、埋込酸化膜3上の全面に形成したホトレジスト50を低濃度N型領域13上のみ開口部50aを形成するようにパターンニングする。そして、そのホトレジスト50をイオン注入阻

止膜として用いて、打ち込みエネルギーを25 KeV、打ち込みドーズ量を $1 \times 10^{13} \text{ cm}^{-2}$ 程度とする条件下で、低濃度N型領域13のゲート電極18の両側に、導電型が低濃度N型領域13と反対のP型不純物を選択的にイオン注入し、図24に示すP型の低濃度ドレイン層61、61を形成する。そのP型不純物としてはボロン原子を用いる。その後、硫酸を用いてホトレジスト50を除去する。

【0096】次いで、再び埋込酸化膜3上の全面に回転塗布法によって、図24に示すホトレジスト51を形成し、所定のマスクを用いて露光処理および現像処理を行い、低濃度P型領域15上のみ開口部51aを形成するようにパターニングする。

【0097】続いて、そのホトレジスト51をイオン注入阻止膜として用いて、打ち込みエネルギーを25 KeV、打ち込みドーズ量を $1 \times 10^{13} \text{ cm}^{-2}$ 程度とする条件下で、低濃度P型領域15のゲート電極18の両側に、導電型が低濃度P型領域15と反対のN型不純物を選択的にイオン注入し、図25に示すN型の低濃度ドレイン層63、63を形成する。そのN型不純物としてはリン原子を用いる。その後、硫酸を用いてホトレジスト51を除去すると図25に示す状態となる。

【0098】その後、反応ガスとしてモノシランと酸素を用いたCVD法によって、図26に示すように埋込酸化膜3上の素子領域を含む全面に、シリコン酸化膜65を膜厚0.3  $\mu\text{m}$ 程度に被膜形成する。続いて、このシリコン酸化膜65上の全面に図示は省略するがホトレジストを形成し、それを各素子領域のゲート電極18の側壁部分に対応する位置にのみ残るようにパターニングする。

【0099】そして、そのホトレジスト（図示せず）をエッチングマスクとして使用し、反応ガスに三フッ化メタンと四フッ化炭素を用いた反応性イオンエッチングによって、シリコン酸化膜65を各ゲート電極18の側壁部分にのみ残るようにエッチングする。それによって、各ゲート電極18の両側壁にシリコン酸化膜からなるサイドウォール68、68（図27図参照）が形成される。

【0100】さらに、酸素に窒素を混合して酸素の圧力を下げた酸素と窒素の混合雰囲気中において、温度900℃で30分程度の酸化処理を行い、膜厚20 nm程度の酸化シリコン膜（図示せず）を全面に形成する。この酸化シリコン膜は、後述するイオン注入の際に所望イオンを注入するためのバッファ膜となる。

【0101】その後、第1の実施形態について図9から図11によって説明したのと同様な工程で、低濃度N型領域13のゲート電極18の両側に選択的にP型不純物のイオン注入を行い、低濃度P型領域15のゲート電極18の両側に選択的にN型不純物のイオン注入を行う。

【0102】その結果、図27に示すように、低濃度N

型領域13にP型のドレイン層23とソース層25が、低濃度P型領域15にN型のドレイン層27とソース層29が、それぞれ形成される。しかし、それぞれゲート電極18の両側のサイドウォール68、68の直下には不純物がイオン注入されないため、そのサイドウォール68、68にセルフアライメントした領域はP型の低濃度ドレイン層61およびN型の低濃度ドレイン層63として残る。

【0103】その後は、第1の実施形態について図12から図21によって説明した各工程と同様な工程で、基板コンタクトホール5、高濃度拡散層7、絶縁膜39、コンタクトホール31、6、金属電極21、22、パッシベーション膜40、および接続電極42を順次形成して、図23に示した半導体装置70が完成する。

【0104】〔半導体装置の第3の実施形態：図28〕次にこの発明による半導体装置の第3の実施形態を図28によって説明する。図28は、その半導体装置の要部を拡大して示す模式的な断面図である。

【0105】この図28に示す半導体装置90は、SOI基板の埋込酸化膜上に複数の半導体素子として、オフセットドレイン構造の電界効果トランジスタ（MOSFET）を形成した点が、図1に示した第1の実施形態の半導体装置10及び図23に示した第2の実施形態の半導体装置70と相違するだけである。したがって、図28において、図1及び図23と共通する部分には同一の符号を付してあり、それらについては説明を省略する。

【0106】この図28に示す第3の実施形態の半導体装置90は、SOI基板1の埋込酸化膜3上に、それぞれオフセットドレイン構造のPチャネルFET83とNチャネルFET85とが形成されている。これによっても、図23に示した半導体装置70におけるLDD構造のPチャネルFET73とNチャネルFET75と同様にチャネル間のリーク電流を低減して耐圧を高めることができる。しかし、LDD構造のもの程微細には作成できないので、集積密度があまり高くないICチップに適している。

【0107】PチャネルFET83は、素子領域中の低濃度N型領域13に形成されており、図1に示した半導体装置10のPチャネルFET33と比較して、次の点異なる。すなわち、低濃度N型領域13上におけるゲート酸化膜17とゲート電極18の形成位置がP型ソース層25側にシフトしている点と、ゲート電極18とP型ドレイン層23との間にP型オフセット領域81が設けられている点である。

【0108】NチャネルFET85は、素子領域中の低濃度P型領域15に形成されており、図1に示した半導体装置10のNチャネルFET35と比較して、次の点異なる。すなわち、低濃度P型領域15上におけるゲート酸化膜17とゲート電極18の形成位置がN型ソース層29側にシフトしている点と、ゲート電極18とN

21

型ドレイン層27との間にN型オフセット領域82を設けている点である。

【0109】この半導体装置90も、SOI基板1の支持基板2に電氣的に接続された金属電極22および接続電極42を素子面側に設けている点は、前述の各実施形態の半導体装置10及び70と同じであり、どのような実装方法をとっても、その支持基板2を接地又は任意のバイアスに設定することができる。

【0110】なお、以上説明した半導体装置の第1から第3の実施形態では、SOI基板の埋込酸化膜上に半導体素子として3種類のCMOSTランジスタを形成した例を説明したが、この発明による半導体装置はこれらに限定されるものではなく、その他の電界効果トランジスタ(FET)やバイポーラトランジスタ等、種々の半導体素子を形成した半導体装置にも適用できる。その場合にも、上述した各実施形態の場合と同様な作用効果を得ることができる。

【0111】〔半導体装置の製造方法の第3の実施形態：図29から図35等〕次に、この発明による半導体装置の製造方法の第3の実施形態として、上述の図28に示した半導体装置90を製造する方法について、図29から図35等を参照して説明する。

【0112】この半導体装置の製造方法の第3の実施形態は、図2から図21によって説明した第1の実施形態とと比較して、半導体素子を形成する工程、すなわち、PチャネルFET83とNチャネルFET85を製造する工程が一部異なるだけであるから、主にその相違する工程について説明する。

【0113】第1の実施形態における図2から図8までの各工程は、この第3の実施形態においても略同じである。したがって、SOI基板1の埋込酸化膜3上に設けられた表面シリコン層4をエッチングして、素子領域に島状の表面シリコン層4a、4b形成し、それにN型あるいはP型の不純物原子をそれぞれ選択的にイオン注入した後熱処理を行い、低濃度N型領域13と低濃度P型領域15を形成する。そして、その低濃度N型領域13と低濃度P型領域15上にそれぞれゲート酸化膜を介してゲート電極を形成する。

【0114】しかし、この実施形態においては、このとき図29に示すように、低濃度N型領域13および低濃度P型領域15上のそれぞれ中央部ではなく、後の工程でソース層を形成する方(図29では右方)へ幾分シフトさせた位置に、それぞれゲート酸化膜17を介してゲート電極18を形成する。

【0115】次に、埋込酸化膜3上の素子領域を含む全面にホトレジストを塗布し、図30に示すように、低濃度N型領域13上のゲート電極18の片側(後の工程でドレイン層を形成する側)の領域に開口部50aを形成するように、ホトレジスト50をパターニングする。

【0116】続いて、そのホトレジスト50をイオン注

22

入阻止膜として用いて、打ち込みエネルギーを50KeV、打ち込みドーズ量を $1 \times 10^{13} \text{ cm}^{-2}$ 程度とする条件下で、低濃度N型領域13の片側の領域に、導電型が低濃度N型領域13と反対のP型不純物を選択的にイオン注入し、図31に示すP型のオフセット領域81形成する。そのP型不純物としてはボロン原子を用いる。その後、硫酸を用いてホトレジスト50を除去する。

【0117】そして再び、埋込酸化膜3上の素子領域を含む全面にホトレジストを塗布し、図31に示すように、低濃度P型領域15上のゲート電極18の片側(後の工程でドレイン層を形成する側)の領域に開口部51aを形成するように、ホトレジスト51をパターニングする。

【0118】続いて、そのホトレジスト51をイオン注入阻止膜として用いて、打ち込みエネルギー50KeV、打ち込みドーズ量を $1 \times 10^{13} \text{ cm}^{-2}$ 程度とする条件下で、低濃度P型領域15の片側の領域に、導電型が低濃度P型領域15と反対のN型不純物を選択的にイオン注入し、図32に示すN型のオフセット領域82を形成する。そのN型不純物としてはリン原子を用いる。その後、硫酸を用いてホトレジスト51を除去する。

【0119】そして、窒素雰囲気中にて、温度1100℃で4時間程度の熱処理を行い、図32に示すオフセット領域81、82にイオン注入したP型不純物とN型不純物を拡散させる。さらに続いて、酸素に窒素を混合して酸素の圧力を下げた酸素と窒素の混合雰囲気中において、温度900℃で30分程度の酸化処理を行い、膜厚20nm程度の酸化シリコン膜(図示せず)を全面に形成する。この酸化シリコン膜は、後述のイオン注入の際に所望イオンを注入するためのバッファ膜となる。

【0120】次に、埋込酸化膜3上の素子領域を含む全面にホトレジストを塗布し、図33に示すように、素子領域のうち後の工程でPチャネルFETのドレイン層を形成する領域に開口部85aを、ソース層を形成する領域に開口部85bをそれぞれ形成するように、ホトレジスト85をパターニングする。

【0121】そして、このホトレジスト85をイオン注入阻止膜として用い、打ち込みエネルギーを25KeV、打ち込みドーズ量を $3 \times 10^{15} \text{ cm}^{-2}$ 程度とする条件下で、導電型がオフセット領域81と同じP型不純物を選択的にイオン注入し、図34に示すP型ドレイン層23とP型ソース層25を形成する。そのP型不純物としてはボロン原子を用いる。その後、硫酸を用いてホトレジスト85を除去する。

【0122】その後再び、埋込酸化膜3上の素子領域を含む全面にホトレジストを塗布し、図34に示すように、素子領域のうち後の工程でNチャネルFETのドレイン層を形成する領域に開口部86aを、ソース層を形成する領域に開口部86bをそれぞれ形成するように、ホトレジスト86をパターニングする。

【0123】そして、このホトレジスト86をイオン注入阻止膜として用い、打ち込みエネルギーを40KeV、打ち込みドーズ量を $3 \times 10^{15} \text{ cm}^{-2}$ 程度とする条件下で、導電型がオフセット領域82と同じN型不純物を選択的にイオン注入し、図35に示すN型ドレイン層27とN型ソース層29を形成する。そのN型不純物としてはリン原子を用いる。その後、硫酸を用いてホトレジスト86を除去する。

【0124】その後は、第1の実施形態について図12から図21によって説明した各工程と同様な工程で、基板コンタクトホール5、高濃度拡散層7、絶縁膜39、コンタクトホール31、6、金属電極21、22、パッシベーション膜40、および接続電極42を順次形成して、図28に示した半導体装置90が完成する。

【0125】〔製造方法の変更例〕以上説明した半導体装置の製造方法の第1から第3の実施形態においては、SOI基板1の埋込酸化膜3上の各素子領域に、半導体素子（第1の実施形態ではPチャネルFET33とNチャネルFET35）の各ゲート電極18と、ドレイン層23、27およびソース層25、29を形成した後に、埋込酸化膜3に基板コンタクトホール5を形成し、それによって露出される支持基板2の表面付近に導電型が該基板と同じ不純物を注入して、高濃度拡散層7を形成した。

【0126】しかし、これを変更して、埋込酸化膜3上の各素子領域に、半導体素子の各ゲート電極18を形成した後、埋込酸化膜3の素子領域から離れた所定の領域を選択的にエッチングして基板コンタクトホール5を形成し、その後に半導体素子のP型のドレイン層23及びソース層25と、N型のドレイン層27とソース層29をそれぞれ形成するようにし、そのためのP型又はN型の不純物注入時に、基板コンタクトホール5内に露出する支持基板2の表面付近にも不純物を注入して、高濃度拡散層7を形成するようにしてもよい。

【0127】このようにすると、半導体素子のドレイン層及びソース層を形成するための、P型不純物の注入時又はN型不純物の注入時のいずれかと同時に、基板コンタクトホール5内に露出する支持基板2の表面付近に導電型が支持基板2と同じ不純物を注入して、高濃度拡散層7を形成することができる。したがって、不純物の注入工程を1工程少なくすることができる。

【0128】また、前述した各実施形態においては、SOI基板1の埋込酸化膜3に基板コンタクトホール5を形成し、そこに露出する支持基板2の表面付近に高濃度拡散層7を形成した後、埋込酸化膜3上に絶縁膜39を形成し、その絶縁膜39を選択的にエッチングして、基板コンタクトホール5より大きいコンタクトホール6を形成した。

【0129】しかし、これを変更して、SOI基板1の埋込酸化膜3上の各素子領域に各半導体素子のゲート電

極、ドレイン層、及びソース層を形成した後、埋込酸化膜3上の全面に絶縁膜39を形成し、その上面に基板コンタクトホール形成領域にのみ開口を有するホトレジストを形成し、それをマスクにして絶縁膜39と埋込酸化膜3を同一工程で選択的にエッチングして、支持基板2まで貫通する基板コンタクトホールを形成し、そこに露出する支持基板2の表面付近に高濃度拡散層7を形成するようにしてもよい。

【0130】

10 【発明の効果】以上の説明で明らかなように、この発明による半導体装置は、SOI基板の支持基板と電気的に接続する金属電極を半導体装置の素子面側に設け、この金属電極のパッド部に接続電極を設けることができるから、この金属電極を通じて外部との電気的な接続をとることが可能になる。したがって、パッケージのリードフレーム等の実装基板への実装方法の如何に関わらず、支持基板を接地するか任意のバイアスに設定することが容易にでき、その動作を安定化させることができる。

20 【0131】また、実装方法がフェイスアップ実装法による場合には、複数の電圧の使い分けが可能なマルチ電源回路を構成することが可能であり、SOI基板を使用する場合の利点が生かされる。フェイスダウン実装法により実装する場合にも、支持基板を接地するか任意のバイアスに設定することができるので、支持基板の電位がフローティング状態になるようなことがなくなる。

【0132】そして、この発明による半導体装置の製造方法によれば、このような作用効果を有するこの発明による半導体装置を容易に製造することができる。

【図面の簡単な説明】

30 【図1】この発明による半導体装置の第1の実施形態の要部を拡大して示す模式的な断面図である。

【図2】この発明による半導体装置の製造方法の第1の実施形態を説明するための最初の工程を示す図1と同様な模式的な断面図である。

【図3】同じく次の工程を示す模式的な断面図である。

【図4】同じく次の工程を示す模式的な断面図である。

【図5】同じく次の工程を示す模式的な断面図である。

【図6】同じく次の工程を示す模式的な断面図である。

【図7】同じく次の工程を示す模式的な断面図である。

【図8】同じく次の工程を示す模式的な断面図である。

【図9】同じく次の工程を示す模式的な断面図である。

【図10】同じく次の工程を示す模式的な断面図である。

【図11】同じく次の工程を示す模式的な断面図である。

【図12】同じく次の工程を示す模式的な断面図である。

【図13】同じく次の工程を示す模式的な断面図である。

50 【図14】同じく次の工程を示す模式的な断面図であ



る。

【図15】同じく次の工程を示す模式的な断面図である。

【図16】同じく次の工程を示す模式的な断面図である。

【図17】同じく次の工程を示す模式的な断面図である。

【図18】同じく次の工程を示す模式的な断面図である。

【図19】同じく次の工程を示す模式的な断面図である。

【図20】同じく次の工程を示す模式的な断面図である。

【図21】同じく次の工程を示す模式的な断面図である。

【図22】この発明による半導体装置における接続電極の配置例を示す平面図である。

【図23】この発明による半導体装置の第2の実施形態の要部を拡大して示す模式的な断面図である。

【図24】この発明による半導体装置の製造方法の第2の実施形態を説明するための途中の工程を示す図10と同様な模式的な断面図である。

【図25】同じく次の工程を示す模式的な断面図である。

【図26】同じく次の工程を示す模式的な断面図である。

【図27】同じく次の工程を示す模式的な断面図である。

【図28】この発明による半導体装置の第3の実施形態の要部を拡大して示す模式的な断面図である。

【図29】この発明による半導体装置の製造方法の第3の実施形態を説明するための途中の工程を示す図8と同様な模式的な断面図である。

【図30】同じく次の工程を示す模式的な断面図である。

【図31】同じく次の工程を示す模式的な断面図である。

【図32】同じく次の工程を示す模式的な断面図である。

【図33】同じく次の工程を示す模式的な断面図である。

【図34】同じく次の工程を示す模式的な断面図である。

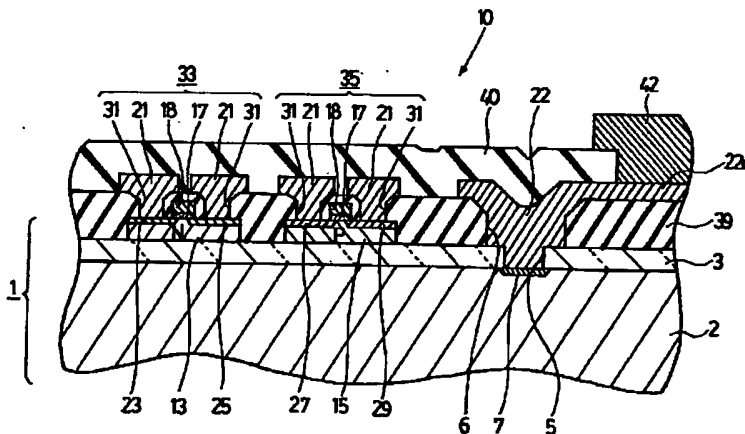
【図35】同じく次の工程を示す模式的な断面図である。

【図36】従来の半導体装置の一例を要部を拡大して示す模式的な断面図である。

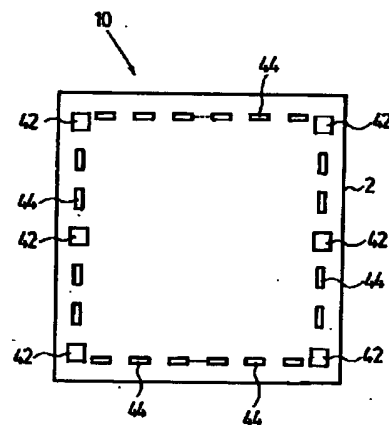
【符号の説明】

- |                              |               |
|------------------------------|---------------|
| 1: SOI基板                     | 2: 支持基板       |
| 3: 埋込酸化膜                     | 4: 表面シリコン層    |
| 5: 基板コンタクトホール                |               |
| 6: コンタクトホール                  | 7: 高濃度拡散層     |
| 10, 70, 90: 半導体装置 (ICチップ)    |               |
| 13: 低濃度P型領域                  | 15: 低濃度N型領域   |
| 17: ゲート酸化膜                   | 18: ゲート電極     |
| 21, 22: 金属電極                 | 22a: パッド部     |
| 23: P型ドレイン層                  | 25: P型ソース層    |
| 27: N型ドレイン層                  | 29: N型ソース層    |
| 31: コンタクトホール                 |               |
| 33, 73, 83: PチャネルFET (半導体素子) |               |
| 35, 75, 85: NチャネルFET (半導体素子) |               |
| 39: 絶縁膜                      | 40: パッシベーション膜 |
| 61, 63: 低濃度ドレイン層             |               |
| 68: サイドウォール                  |               |
| 81: P型オフセット領域                |               |
| 82: N型オフセット領域                |               |

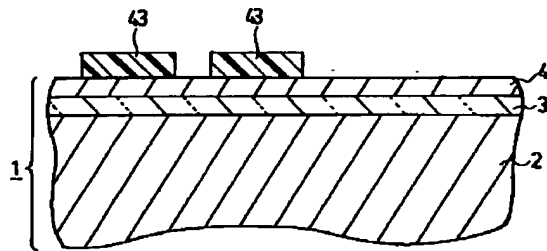
【図1】



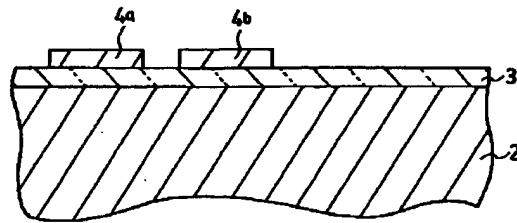
【図22】



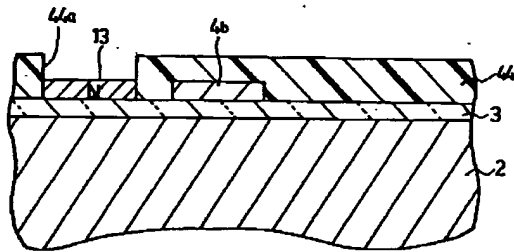
【図2】



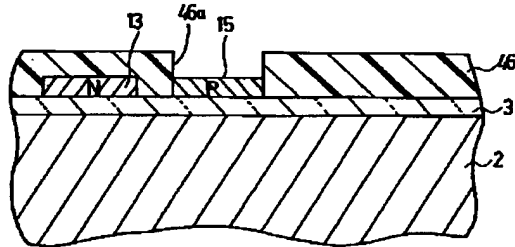
【図3】



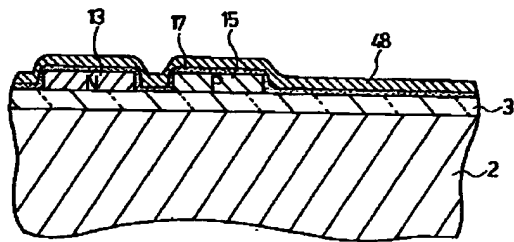
【図4】



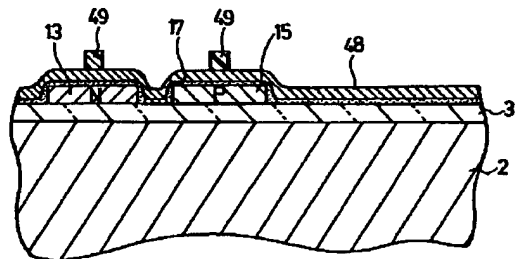
【図5】



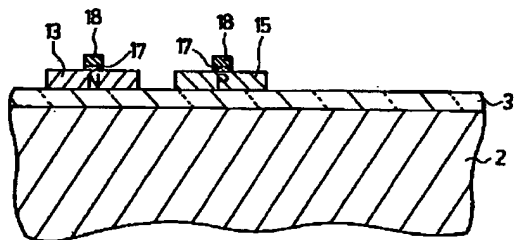
【図6】



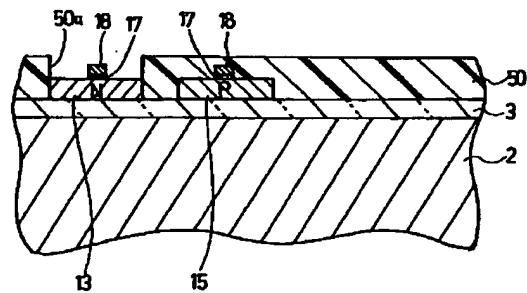
【図7】



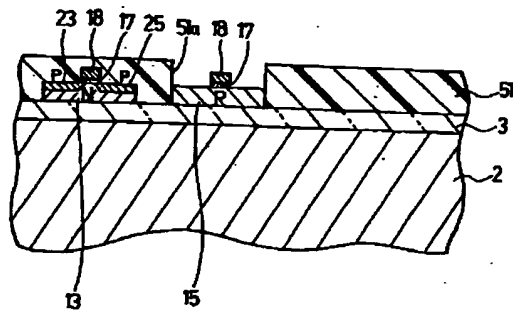
【図8】



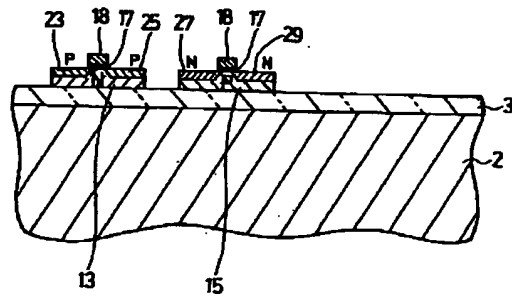
【図9】



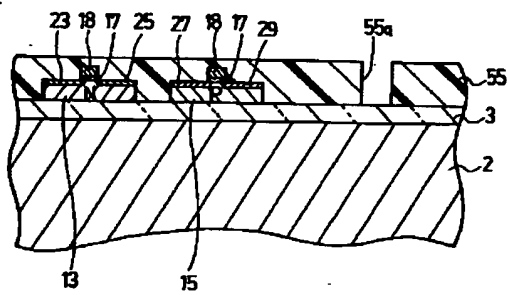
【図10】



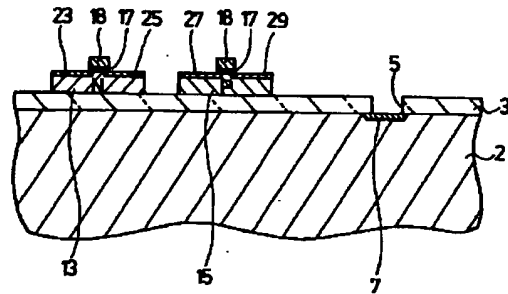
【図11】



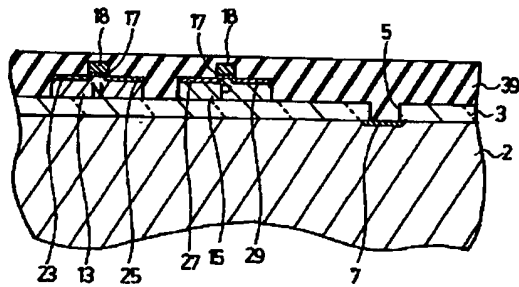
【図12】



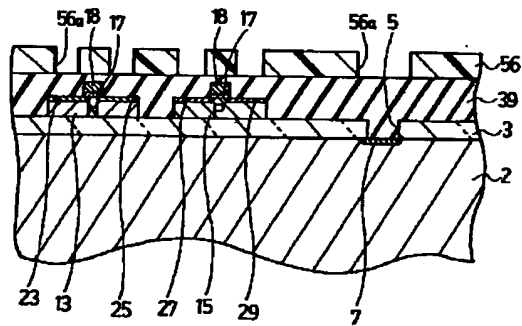
【図13】



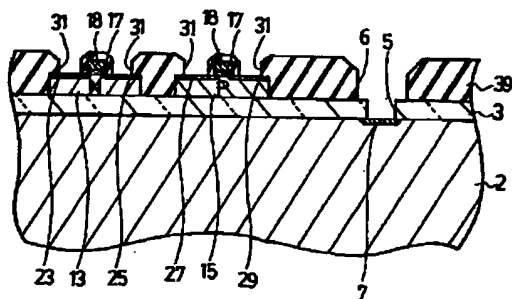
【図14】



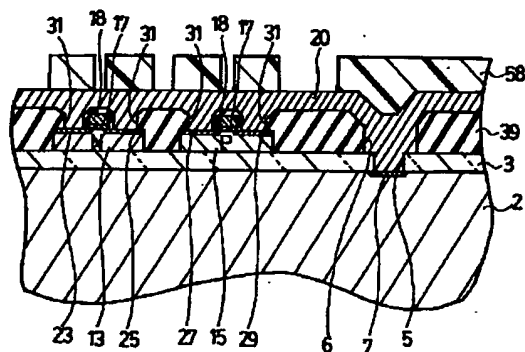
【図15】



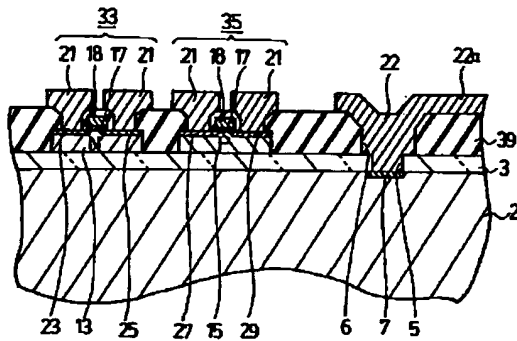
【図16】



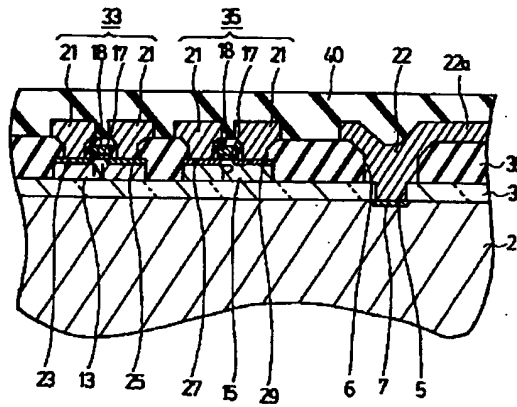
【図17】



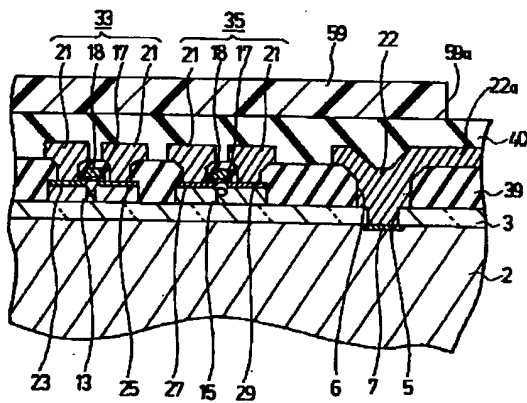
【図18】



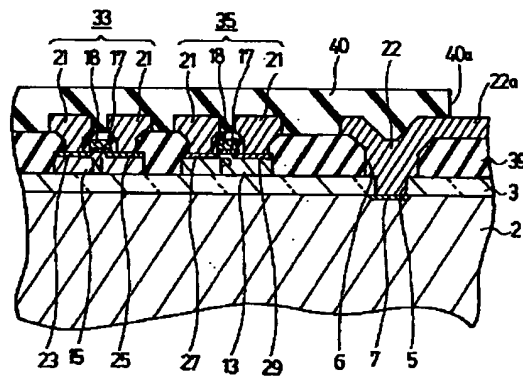
【図19】



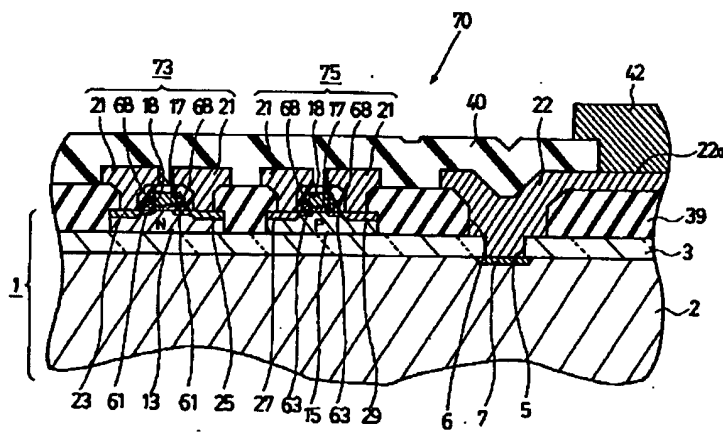
【図20】



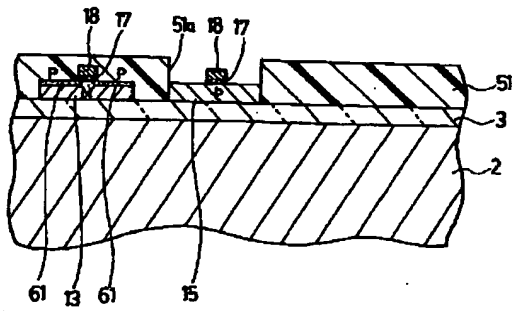
【図21】



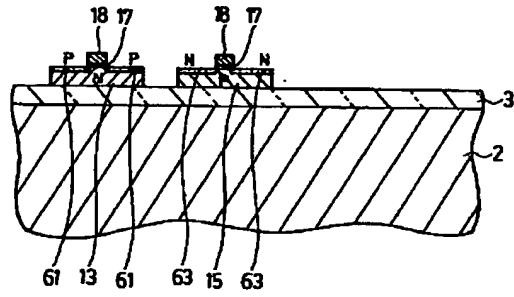
【図23】



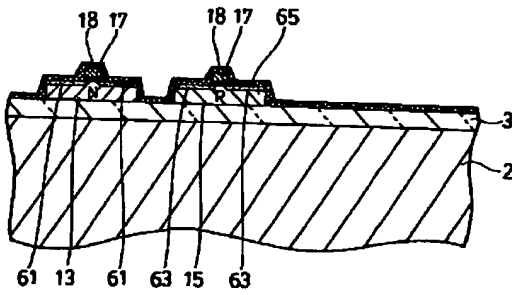
【図24】



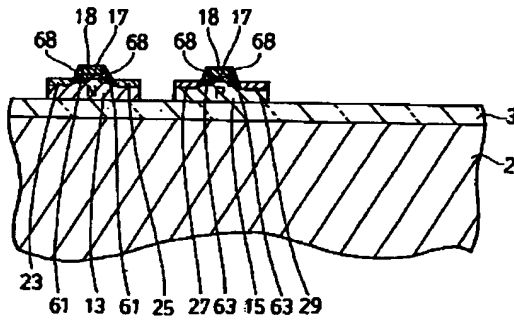
【図25】



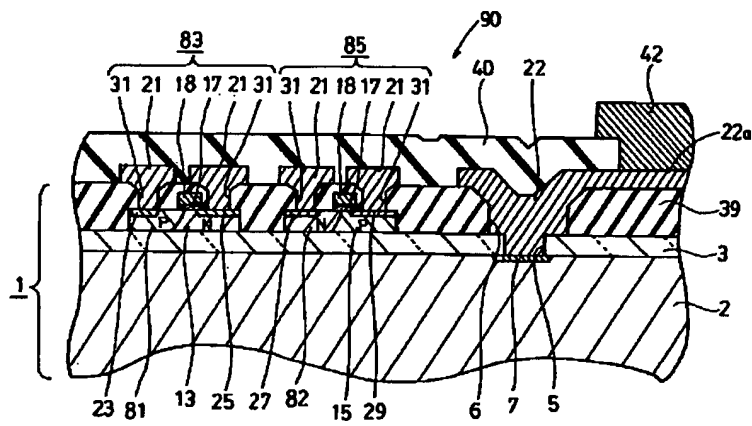
【図26】



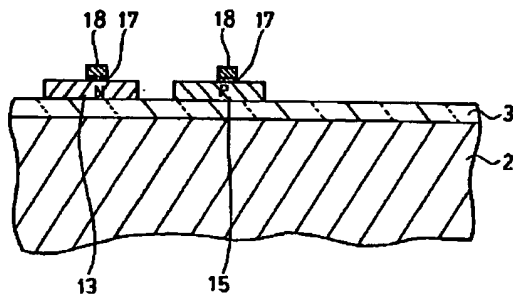
【図27】



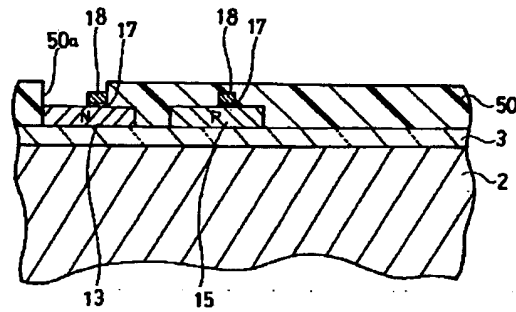
【図28】



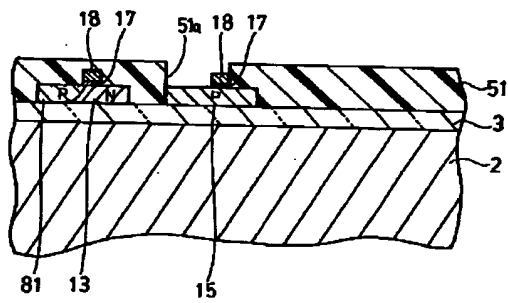
【図29】



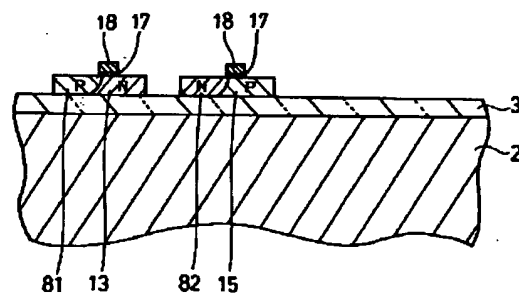
【図30】



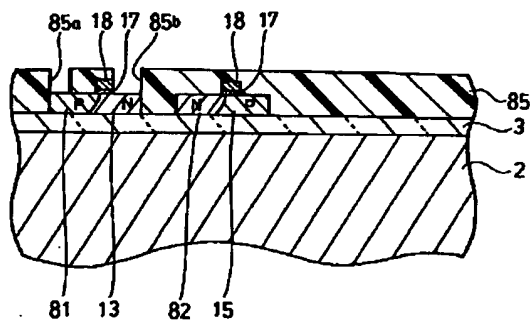
【図31】



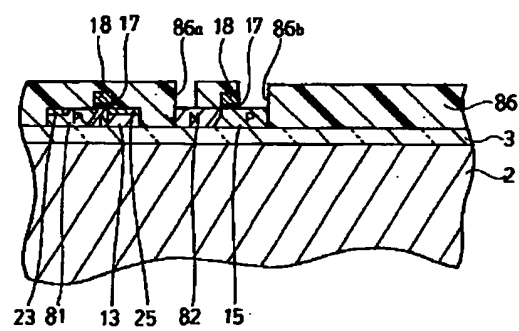
【図32】



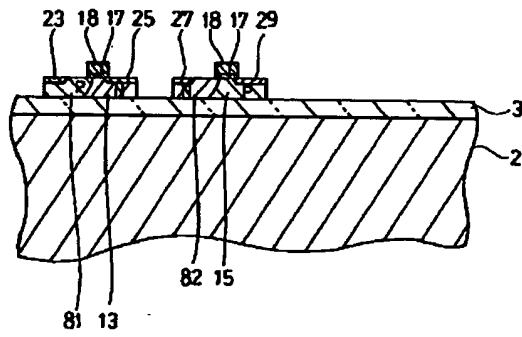
【図33】



【図34】



【図35】



【図36】

